

*С. Ю. ЛЕОНОВ*, д-р техн. наук, проф., НТУ "ХПІ",  
*О. В. ЛІПЧАНСЬКА*, канд. техн. наук, доц., НТУ "ХПІ",  
*О. С. ТЕЛЯНОВА*, студ. НТУ "ХПІ"

## ДОСЛІДЖЕННЯ АРХІТЕКТУР КОМП'ЮТЕРНИХ ЕЛЕМЕНТІВ ТА ЇХ ЕФЕКТИВНОСТІ ДЛЯ ЗМЕНШЕННЯ ЗАТРИМКИ СИГНАЛУ В ЦИФРОВИХ СИСТЕМАХ

У статті подано дослідження архітектур гібридних суматорів, орієнтоване на підвищення їх ефективності шляхом мінімізації затримки поширення сигналу в цифрових системах. Основну увагу приділено порівняльному аналізу інтеграції різних принципів побудови суматорів, зокрема послідовних та паралельних схем, з метою досягнення оптимального балансу між швидкістю та апаратними витратами. Для детального вивчення часових характеристик гібридних рішень застосовано моделювання у спеціалізованому програмному середовищі OrCAD/PSpice. Експериментально визначено критичні параметри, які суттєво впливають на швидкість обчислень та величину затримки сигналу при різних конфігураціях вхідних імпульсів. Запропоновано підходи до оптимізації цих параметрів для забезпечення стабільної та швидкої роботи. Результати дослідження демонструють, як використання гібридних архітектур здатне значно покращити загальну продуктивність арифметико-логічних пристроїв. Це створює передумови для розробки більш швидкодіючих та енергоефективних мікросхем, що є критично важливим для сучасних обчислювальних систем. Наведено порівняльну характеристику досліджених суматорів, що підтверджує ефективність обраного підходу. Отримані дані підкреслюють значний потенціал гібридних суматорів як ключового елемента у проектуванні високопродуктивних цифрових систем нового покоління. Іл.: 9. Табл.: 1. Бібліогр.: 8 назв.

**Ключові слова:** комп'ютерні елементи, суматор, затримка сигналу, обчислювальна система, оптимізація параметрів, швидкодія, обробка сигналів, архітектура, OrCAD/PSpice

**Вступ.** Сучасні цифрові обчислювальні системи та високопродуктивні пристрої висувають дедалі жорсткіші вимоги до швидкості обробки інформації та енергоефективності. Операції додавання, що є складовою частиною будь-якого арифметико-логічного пристрою (АЛП), роблять суматори одними з найкритичніших компонентів цифрових схем [1]. Відтак, продуктивність усієї системи

значною мірою залежить від швидкодії та ефективності цих базових блоків.

Актуальність пошуку та дослідження нових, більш досконалих архітектур суматорів обумовлена постійно зростаючою потребою у високошвидкісних та енергоефективних цифрових рішеннях. Це стосується як підвищення загальної продуктивності обчислювальних пристроїв, так і забезпечення їх стабільної роботи в умовах жорстких часових обмежень.

**Аналіз літератури.** На сьогодні існує чимало архітектур суматорів, кожна з яких пропонує різні компроміси між швидкістю, апаратною складністю та енергоспоживанням. Зокрема, традиційні архітектури, такі як суматори з послідовним переносом (Ripple Carry Adders – RCA), хоча й відрізняються простотою реалізації та низькими апаратними витратами, демонструють значні затримки поширення сигналу, які лінійно зростають зі збільшенням розрядності [2]. Це істотно обмежує їх застосування у швидкодійних додатках та багаторозрядних обчисленнях [3].

Для подолання цих недоліків були розроблені більш швидкісні рішення, серед яких варто виділити суматори з випереджаючим переносом (Carry Look-Ahead Adders – CLA) та суматори з пропуском переносу (Carry Skip Adders – CSkA) [4]. Хоча CLA значно зменшують затримку, їхня апаратна складність та споживання потужності зростають експоненційно з розрядністю, що обмежує їх масштабованість. Суматори CSkA, у свою чергу, пропонують кращий компроміс між швидкістю та апаратними витратами порівняно з RCA, але все ще демонструють субоптимальну продуктивність у порівнянні з CLA для певних розрядностей та не завжди відповідають жорстким вимогам сучасних систем [5]. Попри наявність різноманітних методів та архітектур, як вказують у працях [6], не всі з них придатні для універсального використання в умовах одночасних жорстких вимог до мінімізації затримки та енергоспоживання.

Одним з ефективніших сучасних підходів, що спрямований на подолання цих обмежень, є розробка гібридних архітектур суматорів. Вони комбінують переваги декількох базових типів, що дозволяє оптимізувати ключові параметри та досягти кращого балансу між швидкістю, площею кристала та споживаною потужністю [7]. Однак, попри загальну актуальність гібридних підходів, детальний порівняльний

аналіз їхньої поведінки в умовах впливу різних параметрів вхідних імпульсів, а також визначення граничних значень для коректної роботи залишаються завданнями, які потребують подальшого дослідження. Існуючі порівняльні дослідження суматорів [1, 7] не завжди охоплюють специфіку гібридних рішень у контексті їхнього функціонування при екстремальних умовах та не надають глибокого аналізу впливу параметрів вхідних сигналів.

Для точної оцінки та оптимізації характеристик суматорів, зокрема гібридних, незамінним інструментом є використання сучасних систем моделювання. Зокрема, пакет OrCAD/PSpice широко застосовується для моделювання електронних схем та аналізу їхніх часових та частотних характеристик [8]. Це дозволяє не тільки визначити затримку сигналу, але й виявити критичні значення параметрів, за яких схема функціонує коректно, що є важливим етапом у проектуванні високошвидкісних цифрових пристроїв. Таким чином, існує потреба в комплексному дослідженні, що зосереджується на моделюванні, порівняльному аналізі та виявленні граничних характеристик саме гібридних суматорів у стандартизованому середовищі моделювання.

**Постановка проблеми та мета дослідження.** Основною метою дослідження є аналіз архітектур гібридних суматорів та оцінка їх ефективності щодо мінімізації затримки поширення сигналу у цифрових системах. Для реалізації цієї мети передбачено вирішення таких ключових завдань: проаналізувати основні принципи побудови гібридних схем суматорів, здійснити моделювання архітектур суматорів, зокрема гібридних, у програмному середовищі OrCAD/PSpice для визначення їхніх часових характеристик, виявити критичні параметри, що впливають на швидкість та коректність функціонування суматорів, провести порівняльний аналіз затримок сигналу гібридних суматорів з існуючими базовими архітектурами, сформулювати рекомендації щодо проектування та застосування високопродуктивних цифрових суматорів у сучасних електронних системах.

**Аналіз теоретичних основ та існуючих архітектур суматорів.** Суматори є фундаментальними будівельними блоками будь-якого цифрового обчислювального пристрою, виконуючи ключову арифметичну

операцію додавання. Їхня ефективність безпосередньо впливає на загальну продуктивність та швидкодію усієї системи. З розвитком мікроелектроніки та зростанням вимог до швидкості обробки даних, еволюціонували і архітектури суматорів, що мають різні компроміси між швидкістю, складністю та енергоспоживанням.

Класифікація та принципи функціонування базових типів суматорів:

– суматор з послідовним переносом (RCA) являє собою найпростішу архітектуру, де кожний розрядний суматор генерує перенос, який послідовно передається до наступного розряду (рис. 1).

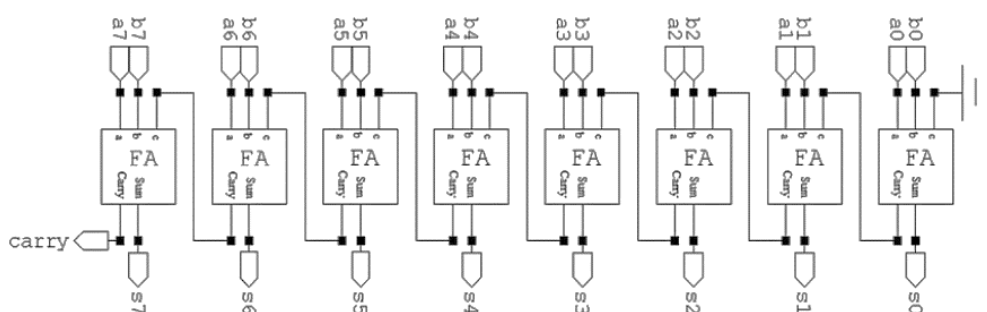


Рис. 1. Схема суматора із послідовним переносом

Перевагою RCA є простота реалізації та мінімальні апаратні витрати. Однак, його головним недоліком є значна затримка поширення сигналу, яка лінійно зростає зі збільшенням розрядності. Це робить RCA неефективним для багаторозрядних високошвидкісних обчислень, оскільки час отримання результату залежить від поширення переносу через усі розряди;

– суматор з випереджаючим переносом (CLA) значно зменшує затримку порівняно з RCA, обчислюючи переноси для кількох розрядів паралельно (рис. 2).

Це досягається шляхом аналізу вхідних бітів наперед, використовуючи спеціальні логічні схеми для генерації та поширення переносу. Перевагою CLA є висока швидкість, але це досягається ціною значного збільшення апаратної складності та споживання потужності, особливо для великої розрядності, що може обмежувати його масштабованість;

– суматор з пропуском переносу (CSkA) пропонує компроміс між швидкістю CLA та простотою RCA (рис. 3).

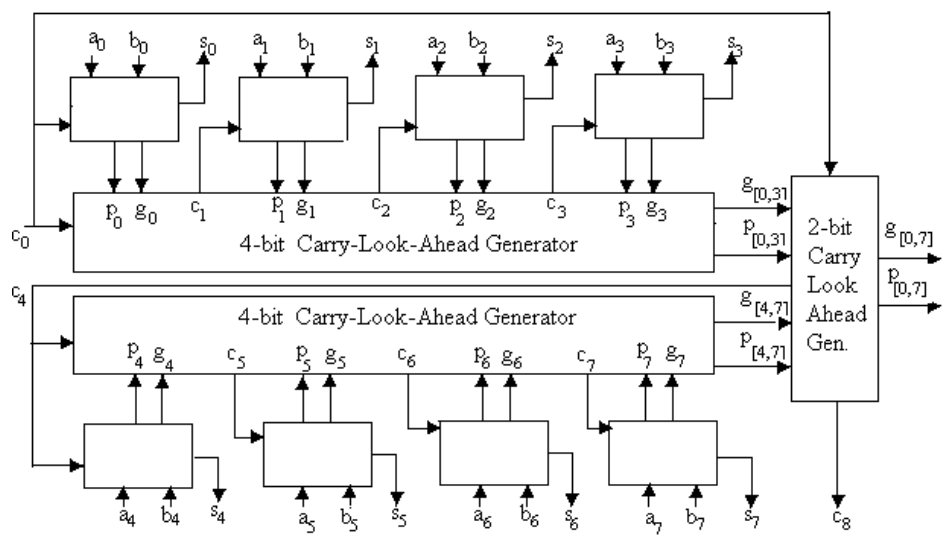


Рис. 2. Схема суматора із випереджальним переносом

CSkA ділить суматор на блоки, всередині яких перенос поширюється послідовно, але між блоками перенос може "пропускатися", якщо виконується певна умова. Це зменшує найгірший випадок затримки порівняно з RCA, проте CSkA все ще може бути менш швидким, ніж CLA, залежно від конфігурації блоків.

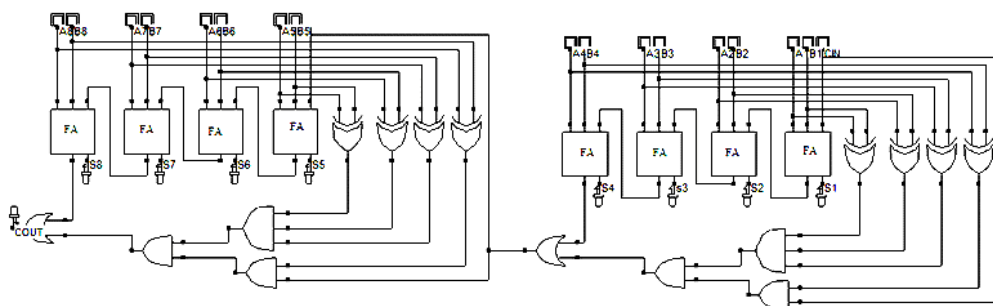


Рис. 3. Суматор з пропуском переносу

Гібридні суматори є результатом поєднання переваг кількох базових архітектур з метою оптимізації загальної продуктивності. Концепція полягає у використанні різних типів суматорів для різних частин схеми, залежно від вимог до швидкодії, площі або енергоспоживання. Наприклад, можна комбінувати швидкі CLA блоки для критичних шляхів з більш простими RCA або CSkA блоками для менш чутливих ділянок. Це дозволяє досягти кращого балансу між швидкістю та апаратними витратами, ніж при використанні лише однієї архітектури. Потенційні переваги гібридних рішень включають:

Для об'єктивної оцінки ефективності різних архітектур суматорів використовують ключові метрики:

- швидкодія або затримка сигналу (Delay) є найважливішим показником, що відображає час, необхідний для отримання стабільного вихідного сигналу після зміни вхідних даних. Зазвичай вимірюється у наносекундах (нс). Чим менша затримка, тим швидше працює суматор;

- апаратні витрати (Area / Hardware Cost) відображають складність реалізації схеми, часто вимірюється кількістю транзисторів, вентилів або площею на кристалі. Зменшення апаратних витрат є важливим для зменшення вартості виробництва та підвищення щільності інтеграції;

- споживання потужності (Power Consumption) визначає кількість енергії, що споживається схемою під час роботи. Важлива метрика для мобільних пристроїв та систем з обмеженим енергоживленням, а також для зниження тепловиділення.

**Розробка моделей та схем суматорів.** Для здійснення дослідження часових характеристик та ефективності різних архітектур суматорів, вирішальним етапом є розробка їхніх точних схемотехнічних моделей у програмному комплексі OrCAD, що широко використовується для проєктування та аналізу електронних схем.

Здійснено деталізоване створення схемотехнічних моделей для трьох ключових архітектур суматорів: суматора з послідовним переносом (рис. 4), суматора з пропуском переносу (рис. 5), а також розробленого гібридного суматора (рис. 6). Моделювання передбачало вибір відповідних логічних елементів (наприклад, вентилів I, АБО, НЕ, виключне АБО), транзисторів або інших компонентів, що імітують їхню поведінку на рівні схем. Кожна схема була ретельно побудована з урахуванням принципу її

функціонування, забезпечуючи точне відображення шляхів поширення сигналу та логічних залежностей. Це дозволило створити цифрові моделі, які є основою для подальшого аналізу.

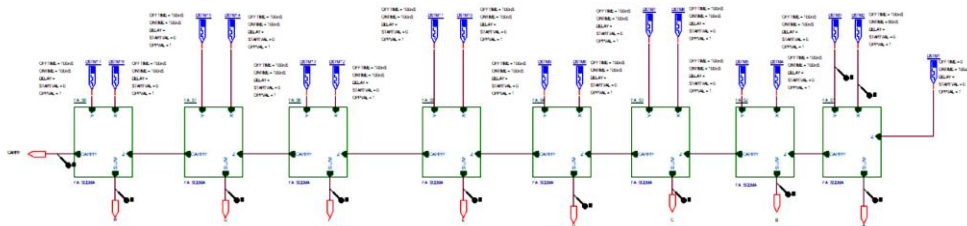


Рис. 4. Архітектура паралельного 8-розрядного суматора з послідовним переносом

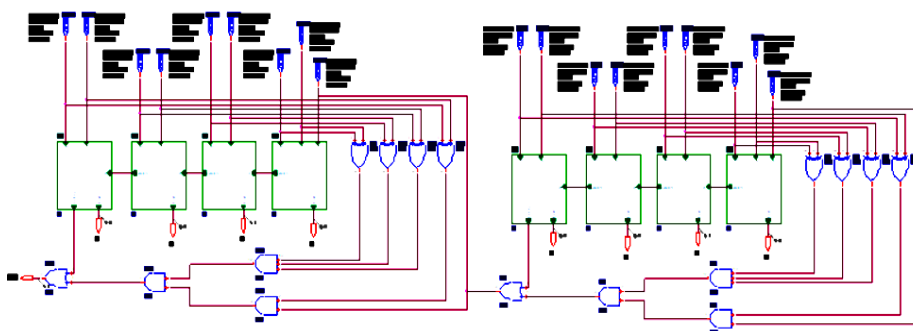


Рис. 5. Суматор з пропуском переносу

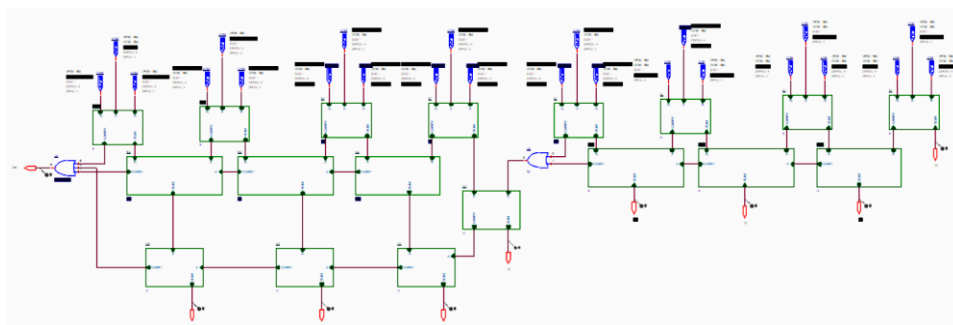


Рис. 6. Реалізація 8-розрядного гібридного суматора

Виконана конфігурація тестових середовищ для симуляції у підсистемі OrCAD/PSpice. Для точного вимірювання часових характеристик, зокрема затримки поширення сигналу, було налаштовано джерела вхідних сигналів, що генерують імпульси з різними параметрами (тривалість імпульсу, період). Для аналізу затримки використовувався тип аналізу "Transient Analysis", який дає змогу візуалізувати часові діаграми сигналів та точно вимірювати інтервали між змінами стану. Налаштування цих інструментів у OrCAD/PSpice є ключовим для отримання достовірних даних щодо швидкодії та ефективності функціонування кожної архітектури суматора.

### **Моделювання та дослідження часових характеристик суматорів.**

Для ефективної оцінки продуктивності цифрових суматорів виконано моделювання та дослідження їхніх часових характеристик. З метою визначення затримки поширення сигналу та впливу на неї різних параметрів вхідних імпульсів проведена симуляція для вибраних архітектур суматорів у програмному середовищі OrCAD/PSpice.

Для кожного типу суматора виконувався транз'єнтний (часовий) аналіз, який дозволяє відстежувати зміни напруги на входах та виходах схеми у часі. Вимірювання затримки поширення сигналу здійснювалося шляхом аналізу часових діаграм: фіксувався момент зміни стану на вході та відповідний момент стабілізації сигналу на виході. Особлива увага приділялась вимірюванню затримки для найгіршого випадку, що відповідає максимальному часу проходження сигналу через схему.

На рис. 7 показано процес передачі імпульсного сигналу через каскад повних суматорів типу RCA, де імпульс на вході X спричиняє затримку відображення результатів на виходах сум (A–H) та зміну сигналу переносу (CARRY). Дослідження показало, що вихід CARRY останнього суматора (FA\_S8) формується раніше (128 нс), ніж значення на виходах сум старших розрядів (143 нс). Це свідчить, що перенесення проходить через усі повні суматори швидше, ніж формуються вихідні сигнали суми, що пояснюється меншою затримкою комбінаційних шляхів для перенесення всередині суматорів.

Для всебічної оцінки впливу зовнішніх факторів на роботу суматорів, а також для виявлення їхніх граничних характеристик, проводилося варіювання ключових параметрів вхідних імпульсів:



– тривалість високого рівня вхідного імпульсу (ONTIME). Варіювання ONTIME дозволило дослідити, як зміна ширини вхідного сигналу впливає на затримку та коректність спрацювання суматорів;

– повний період повторення вхідного імпульсу (PERIOD). Дослідження впливу PERIOD дозволило оцінити поведінку суматорів при різних частотах вхідних даних, що імітує реальні умови роботи в цифрових системах.

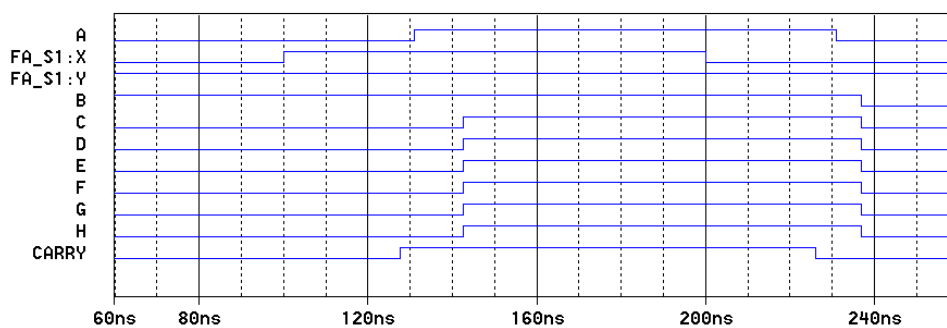


Рис. 7. Часові діаграми для визначення затримки суматору RCA

На рис. 8 та 9 показані етапи експериментального визначення граничного значення швидкодії суматора шляхом поступового зменшення тривалості вхідного імпульсу (ONTIME). Вони демонструють, як зі зменшенням ONTIME поведінка суматора змінюється від стабільної та коректної роботи (рис. 8) до збою у функціонуванні (рис. 9), коли імпульс стає надто коротким для забезпечення логіки перенесення.

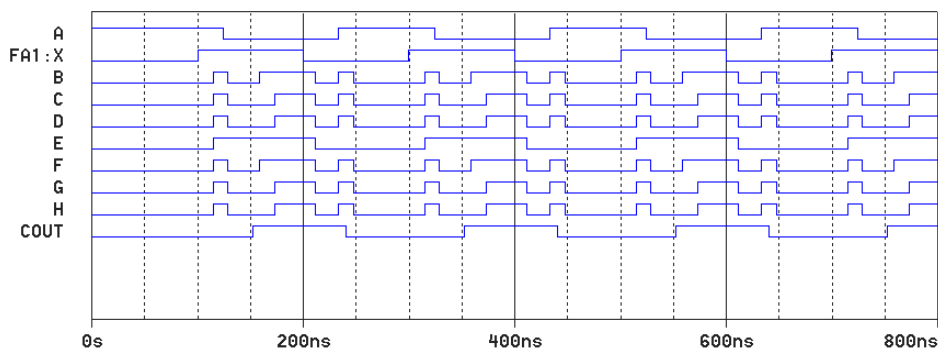


Рис. 8. Часові діаграми роботи суматора CSkA при ONTIME = 100 нс

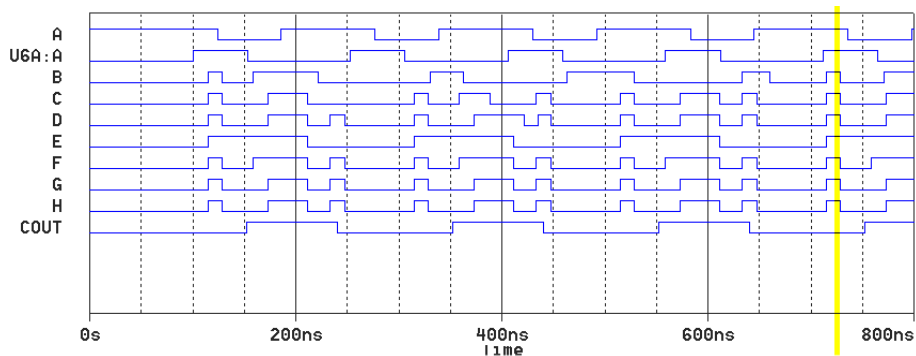


Рис. 9. Часові діаграми роботи суматора CSkA при  $ONTIME = 53$  нс

Проведення симуляцій при зміні цих параметрів дало змогу не тільки визначити оптимальні умови функціонування кожного типу суматора, але й виявити критичні значення, за яких схема починає працювати некоректно або її швидкодія суттєво знижується. Цей підхід надав можливість провести аналіз залежності швидкодії та стабільності суматорів від характеристик вхідних сигналів для подальшого проектування та оптимізації.

**Визначення граничних умов коректної роботи.** У рамках дослідження швидкодії різних типів суматорів було проведено аналіз їх функціонування при зміні параметрів вхідних імпульсів, зокрема критичного значення параметра  $ONTIME$ , що визначає мінімальну тривалість сигналу для коректної роботи схеми. Ідентифікація цих граничних умов є ключовою для оцінки надійності та застосовності суматорів у швидкодіючих цифрових пристроях.

Для RCA було визначено, що при значенні тривалості імпульсу  $ONTIME$ , рівному 90 нс, суматор демонструє стабільну роботу, з коректним формуванням сигналу перенесення та виходів. Зменшення  $ONTIME$  до 80 нс свідчить про наближення до межі максимальної швидкодії, виявляючи незначне сповільнення формування вихідних сигналів  $H$  і  $CARRY$ . Гранична працездатність спостерігається при  $ONTIME = 75$  нс, де затримка стає критичною, хоча сигнали ще формуються. Подальше скорочення тривалості імпульсу до 70 нс призводить до порушень роботи RCA, зокрема, сигнал перенесення  $CARRY$  не встигає сформуватися, а виходи можуть відображати некоректні значення.

Дослідження граничного значення швидкодії CSkA проводилося шляхом поступового зменшення ONTIME на вході X першого суматора від 100 нс. При ONTIME = 100 нс спостерігалася стабільна робота схеми, з успішним проходженням імпульсу та формуванням відповідного сигналу COUNT без затримок. Аналіз поведінки суматора показав, що CSkA залишається функціональним до значення ONTIME = 54 нс, зберігаючи коректність логіки. Однак, при ONTIME = 53 нс відбувається порушення роботи пристрою, що виражається у втраті функціональності логіки перенесення: сигнал не доходить до виходу через недостатню тривалість імпульсу, що призводить до статичного рівня на виході.

Для гібридного суматора також було визначено граничні умови коректної роботи. При ONTIME = 80 нс схема функціонує коректно, незважаючи на появу незначних спотворень на вихідних сигналах у вигляді "сходинок". Зменшення ONTIME до 75 нс призводить до більш виражених спотворень сигналу COUNT. Граничне значення ONTIME для гібридного суматора становить 74 нс, при цьому виникають "сходинки" у сигналі, але логічна коректність ще зберігається. Подальше зменшення ONTIME до 73 нс призводить до втрати здатності логічного елемента 74HC4075 вчасно передавати сигнал, що виражається у відсутності реакції на виході COUNT на зміну вхідного сигналу X, тобто логічне "зависання".

Проведені дослідження дозволили ідентифікувати критичні значення параметра ONTIME для кожного з розглянутих суматорів та проаналізувати їх поведінку при наближенні до цих граничних умов. RCA демонструє стабільну роботу до 75 нс, CSkA виявляється найбільш стійким до коротких імпульсів, зберігаючи стабільність до ONTIME = 54 нс, а гібридний суматор функціонує коректно до 74 нс. Ці дані є важливими для вибору оптимального типу суматора залежно від вимог до швидкодії та стійкості до короткочасних імпульсів у конкретних прикладних системах.

Аналіз порівняльної таблиці швидкодії суматорів трьох архітектур (табл. 1) дозволяє зробити висновок, що CSkA є найбільш ефективним для застосувань, де критично важлива мінімізація тривалості сигналу, RCA доцільний для задач з мінімальною затримкою за умови низької робочої частоти, а гібридні суматори є компромісним рішенням, що забезпечує баланс між швидкістю та гнучкістю, і найкраще підходять для

універсальних цифрових блоків, де важливий баланс між швидкістю, стабільністю та оптимізацією логічної структури.

Таблиця 1

Порівняльна таблиця швидкодії суматорів

Параметр	Ripple Carry Adder	Carry Skip Adder	Гібридний суматор
Затримка сигналу	28 нс	53 нс	39 нс
Мінімальний ONTIME без помилки	75 нс	54 нс	74 нс
Працездатність при статичних входах	стабільна	стабільна	стабільна
Стійкість до коротких імпульсів	низька	висока	середня
Наявність додаткових логічних елементів	ні	ні	74НС4075

**Висновки.** В результаті проведених досліджень було реалізовано комплексний аналіз архітектур гібридних суматорів з метою оцінки їх ефективності щодо мінімізації затримки поширення сигналу в цифрових системах. Визначено ключові характеристики та граничні умови функціонування різних типів суматорів, що є критично важливим для проектування високопродуктивних та енергоефективних мікросхем.

Застосування програмного середовища OrCAD/PSpice дозволило за допомогою моделювання та симуляції визначити часові характеристики суматорів, визначити критичні параметри вхідних імпульсів, які впливають на швидкість обчислень і величину затримки сигналу.

Аналіз проведених досліджень підтвердив, що гібридний суматор виступає компромісним рішенням, оптимально поєднуючи швидкість та гнучкість архітектури. Він найкраще підходить для універсальних цифрових блоків, де важливим є досягнення балансу між швидкістю, стабільністю роботи та можливістю оптимізації логічної структури, зокрема в арифметико-логічних пристроях, де швидкість і точність операцій додавання є критично важливими.

Отримані дані підкреслюють значний потенціал гібридних суматорів як ключового елемента у проектуванні високопродуктивних цифрових

систем нового покоління. Результати дослідження створюють передумови для розробки більш швидкодійних та енергоефективних мікросхем, що відповідає сучасним вимогам обчислювальних систем. Перспективи подальших досліджень включають вдосконалення цих архітектур та їх інтеграцію у складніші функціональні блоки для досягнення ще більшої продуктивності та ефективності.

**Список літератури:**

1. Lizy K. John A comparative study of adders / Lizy K. John, Earl E. Swartzlander // The University of Texas at Austin, – 2016, – 42 с.
2. Raja D.V. Bhupatiraju A comparative study of high speed adders / Raja D.V. Bhupatiraju // Ohio University, – 1999. – 81 с.
3. Uma R. Area, Delay and Power Comparison of Adder Topologies / R.Uma, Vidya Vijayan, M. Mohanapriya, Sharon Paul // Department of Electronics and Communication Engineering Rajiv Gandhi College of Engineering and Technology Pondicherry. – India. – 2012. – 16 с.
4. Adders <https://www.realdigital.org/doc/21dd954e568975f7e97373e977e1ba52>.
5. Carry Look-Ahead Adder <https://www.geeksforgeeks.org/carry-look-ahead-adder/>
6. Carry Save Adder : Circuit, Algorithm, Working, differences && Its Applications <https://www.elprocus.com/carry-save-adder/>
7. Rashmi Rahul Kulkarni Comparison among Different Adders / Rashmi Rahul Kulkarni // India. – 2015. – 6 с. <https://doi.org/10.9790/4200-05610106>
8. Nur A. Touba A Comparative Study of Adders / Nur A. Touba, Earl E. Swartzlander Jr. // The University of Texas at Austin. – 2015. – 48 с. <https://doi.org/10.15781/T2G54N>

**References:**

1. Lizy K. John (2016), A comparative study of adders / Lizy K. John, Earl E. Swartzlander. The University of Texas at Austin. May. 42 с.
2. Raja D.V. Bhupatiraju (1999), A comparative study of high speed adders / Raja D.V. Bhupatiraju. Ohio University. 81 с.
3. R.Uma (2012). Area, Delay and Power Comparison of Adder Topologies / R.Uma, Vidya Vijayan, M. Mohanapriya, Sharon Paul. Department of Electronics and Communication Engineering Rajiv Gandhi College of Engineering and Technology Pondicherry. India. February. 16 с.
4. Adders <https://www.realdigital.org/doc/21dd954e568975f7e97373e977e1ba52>
5. Carry Look-Ahead Adder <https://www.geeksforgeeks.org/carry-look-ahead-adder/>
6. Carry Save Adder: Circuit, Algorithm, Working, differences && Its Applications <https://www.elprocus.com/carry-save-adder/>
7. Rashmi Rahul Kulkarni (2015). Comparison among Different Adders / Rashmi Rahul Kulkarni. India. 6 с. <https://doi.org/10.9790/4200-05610106>
8. Nur A. Touba (2015). A Comparative Study of Adders / Nur A. Touba, Earl E. Swartzlander Jr. The University of Texas at Austin. December. 48 с. <https://doi.org/10.15781/T2G54N>

*Статтю представив д-р техн. наук, проф. Національного технічного університету "Харківський політехнічний інститут" О.Ю. Заковоротний.*

*Надійшла (received) 30.04.2025*

Leonov Sergey, Dr. Tech. Sci., Professor  
National Technical University "Kharkiv Polytechnical Institute"  
Str. Kirpichova, 2, Kharkov, Ukraine, 61002  
Tel.: (099) 911-911-3, e-mail: serleomail@gmail.com  
ORCID ID 0000-0001-8139-0458

Lipchanska Oksana, PhD, Associate Professor  
National Technical University "Kharkiv Polytechnic Institute"  
Str. Kirpicheva, 2, Kharkiv, Ukraine, 61002  
Tel.: +38 (068) 087-52-18, e-mail: Oksana.Lipchanska@khpі.edu.ua  
ORCID ID: 0000-0003-4173-699X

Telyanova Olena, student  
National Technical University "Kharkiv Polytechnical Institute"  
Str. Kirpichova, 2, Kharkov, Ukraine, 61002  
Tel.: +380 50 082 29 40, e-mail: Olena.Telyanova@khpі.edu.ua

**УДК 004.31**

**Дослідження архітектур комп'ютерних елементів та їх ефективності для зменшення затримки сигналу в цифрових системах / Леонов С.Ю., Липчанська О.В., Телянова О.С. // Вісник НТУ "ХПІ". Серія: Інформатика та моделювання. – Харків: НТУ "ХПІ". – 2025. – № 2 (14). – С. 87 – 102.**

У статті подано дослідження архітектур гібридних суматорів, орієнтоване на підвищення їх ефективності шляхом мінімізації затримки поширення сигналу в цифрових системах. Основну увагу приділено порівняльному аналізу інтеграції різних принципів побудови суматорів, зокрема послідовних та паралельних схем, з метою досягнення оптимального балансу між швидкістю та апаратними витратами. Для детального вивчення часових характеристик гібридних рішень застосовано моделювання у спеціалізованому програмному середовищі OrCAD/PSpice. Експериментально визначено критичні параметри, які суттєво впливають на швидкість обчислень та величину затримки сигналу при різних конфігураціях вхідних імпульсів. Запропоновано підходи до оптимізації цих параметрів для забезпечення стабільної та швидкої роботи. Результати дослідження демонструють, як використання гібридних архітектур здатне значно покращити загальну продуктивність арифметико-логічних пристроїв. Це створює передумови для розробки більш швидкодійних та енергоефективних мікросхем, що є критично важливим для сучасних обчислювальних систем. Наведено порівняльну характеристику досліджених суматорів, що підтверджує ефективність обраного підходу. Отримані дані підкреслюють значний потенціал гібридних суматорів як ключового елемента у проектуванні високопродуктивних цифрових систем нового покоління. Іл.: 9. Табл.: 1. Бібліогр.: 8 назв.

**Ключові слова:** комп'ютерні елементи, суматор, затримка сигналу, обчислювальна система, оптимізація параметрів, швидкодія, обробка сигналів, архітектура, OrCAD/PSpice

**UDC 004.31**

**Research of Computer Elements Architectures and Their Effectiveness in Reducing Signal Delay in Digital Systems / Leonov S.Yu., Lipchanska O.V., Telyanova O.S. // Herald of the National Technical University "KhPI". Series of "Informatics and Modeling". – Kharkov: NTU "KhPI". – 2025. – № 2 (14). – P. 87 – 102.**

The article presents a study of hybrid adder architectures, focused on increasing their efficiency by minimizing signal propagation delay in digital systems. The main attention is paid to the comparative analysis of integrating different principles of adder construction, particularly serial and parallel circuits, with the aim of achieving an optimal balance between speed and hardware costs. For a detailed study of the time

characteristics of hybrid solutions, modeling in the specialized software environment OrCAD/PSpice was applied. Critical parameters that significantly affect calculation speed and signal delay under different input pulse configurations were experimentally determined. Approaches to optimizing these parameters to ensure stable and fast operation are proposed. The research results demonstrate how the use of hybrid architectures can significantly improve the overall performance of arithmetic logic units. This creates prerequisites for the development of more high-speed and energy-efficient microchips, which is critically important for modern computing systems. A comparative characteristic of the studied adders is provided, confirming the effectiveness of the chosen approach. The obtained data emphasize the significant potential of hybrid adders as a key element in the design of new generation high-performance digital systems. Figs.: 9. Tabl.: 1. Refs.: 8 titles.

**Keywords:** computer elements, adder, signal delay, computer system, speed, parameter optimization, signal processing, architecture, OrCAD/PSpice