

**Д.Е. ИВАНОВ**, д-р техн. наук, доц., с.н.с., ИПММ НАН Украины,  
г. Славянск

### **АЛГОРИТМ МОДЕЛИРОВАНИЯ ОТЖИГА ОЦЕНКИ ПИКОВОГО РАССЕЙВАНИЯ ТЕПЛА ЦИФРОВЫХ СХЕМ**

Предлагается новый метод оценки пикового рассеивания тепла цифровых схем. Задача сведена к задаче идентификации параметра цифрового устройства. Метод относится к недетерминированным эволюционным алгоритмам. В качестве основы используется метод симуляции отжига построения входных идентифицирующих последовательностей. Выполнена алгоритмическая и программная реализация. Приведены результаты апробации на контрольных схемах из международного каталога. Ил.: 3. Табл.: 1. Библиогр.: 20 назв.

**Ключевые слова:** цифровое устройство; эволюционный алгоритм; рассеивание тепла; моделирование отжига.

**Постановка проблемы и анализ литературы.** В соответствии с одной из тенденций современного рынка радиоэлектроники потребителю предлагается продукция с пониженным энергопотреблением. Это вписывается в глобальную концепцию по снижению энергозатрат человечеством в целом.

Проблема энергоэффективности (или, что тоже самое в рамках данного исследования, низкого рассеивания тепла) цифровых устройств (ЦУ) в настоящее время определяется тремя основными факторами [1]:

– развитие портативной электроники: смартфоны, МПЗ плееры, навигаторы и т.д., которая среди прочих потребительских свойств должна обладать пониженным потреблением энергии;

– понижение энергопотребления электронных цифровых устройств, что вписывается в общую концепцию современного потребительского общества;

– эффективное проведение тестирования сложных реализаций ЦУ.

Проблема рассеивания тепла для микросхем СБИС становится особенно острой в связи уменьшением норм технологического процесса и соответствующим ростом плотности активных элементов (транзисторов) на кристалле. Чрезмерное тепловыделение ведёт к перегреву кристалла и нещадящему режиму работы ЦУ, следствием чего может быть уменьшение наработки устройства на отказ, уменьшение жизненного цикла, либо в критическом случае – выход его из строя. В [2] отмечается, что повышенное рассеивание тепла в процессе работы кристалла вызывает кратковременные перегревы – отказы в работе, при этом число отказов в единицу времени удваивается при повышении

рабочей температуры на каждые 10°C.

Под энергоэффективными мы будем понимать ЦУ, которые, с одной стороны, спроектированы с учётом минимизации потребления энергии, а с другой стороны, при их работе избегаются экстремальные тепловые режимы.

Для проектировщиков ЦУ требование снижения потребления энергии аппаратурой означает переход на новые принципы её проектирования [3]. Они могут быть разделены на два больших направления:

- технологическое: в частности, уменьшение технологических норм производства СБИС; очевидно, что проектировщики логики ЦУ непосредственно не могут влиять на технологию производства; данное направление выходит за рамки настоящего исследования;

- проектное: применение специальных стилей (методов) проектирования, т.е. проектирование таких устройств, которые обладают пониженным энергопотреблением [4 – 7].

В направлении снижения рассеивания тепла проектируемых СБИС первоначально разрабатываются методы, позволяющие оценивать такое рассеивание для заданного ЦУ [8 – 10]. Для оценки данного параметра на логическом уровне представления, в основном, используется активность логических элементов при моделировании. Заметим, что данный параметр также оптимизируется в генетических алгоритмах (ГА) построения входных последовательностей. Поэтому можно сделать вывод о родственности подходов.

Позднее разрабатывались методы оценки максимально возможного в работе (пикового) рассеивания тепла заданным ЦУ [11]. В указанной работе задача по определению пикового рассеивания тепла в ЦУ сводится к задаче о максимальном покрытии для булевой функции с множеством выходов. Также показывается, что задача является NP-полной, а для её решения используется известная техника ветвей и границ. Применимость алгоритма ограничена небольшими устройствами. Например, для наибольшей представленной схемы с 733 вентилями время работы составило несколько часов. Преимуществом метода является гарантирование нахождения решения, если не произойдёт переполнение при построении дерева решений.

Аналогичную задачу применительно к комбинационным ЦУ рассматривали в [12], а для последовательностных – в [13]. В последней работе решение требует восстановления графа переходов с последующей оценкой параметра рассеивания тепла для каждого перехода. Очевидным недостатком подхода является его сложность: для небольшой схемы s208 граф содержал 71 миллион переходов. Таким образом, замечания о

применимости метода совпадают с таковыми для структурных детерминированных методов.

В [14] предлагается основанный на генерации тестов подход к решению задачи, идея которого основана на активизации тех вентилях в устройстве, которые имеют наибольшее число элементов-последователей, а, следовательно, порождают наибольшее число событий.

Как и в случае построения других типов входных последовательностей, для решения задачи оценки рассеивания тепла стали разрабатывать методы, основанные на моделировании [10]. Наконец, был предложен ГА решения данной задачи [15], в котором для повышения точности оценки используется алгоритм моделирования с задержками.

**Целью статьи** является разработка нового эффективного метода оценки пикового рассеивания тепла, основанного на эволюционной стратегии моделирования отжига; алгоритмическая и программная реализация метода и апробация на схемах из международного каталога.

**Оценка пикового рассеивания тепла заданного ЦУ.** Для заданного на логическом уровне описания ЦУ  $A$  и заданной входной последовательности  $S_{вх}$  точно оценить параметр рассеивания тепла при работе на ней можно только зная физическую технологию реализации ЦУ. В настоящее время наиболее распространенной технологией производства ЦУ является КМОП технология (CMOS), а также её современные модификации. Поэтому далее в работе оценки будут строиться именно для данной технологии.

Поскольку предполагается, что в процессе функционирования ЦУ не накапливает тепловую или электрическую энергию, то вся потребляемая мощность выделяется в виде тепла через корпус микросхемы. Поэтому во избежание тавтологии мы будем применять термины "рассеивание тепла устройством" и "потребление мощности устройством", считая их эквивалентными для целей нашего исследования.

В КМОП технологии производства СБИС рассеивания тепла делится на [3]:

$E_{ст}$  – статическое потребление тока;

$E_{кз}$  – переходные токи коротких замыканий;

$E_{дин}$  – динамическое потребление тока.

В общем, рассеивание тепла выражается формулой:

$$E = E_{ст} + E_{кз} + E_{дин} \quad (1)$$

Причина первых двух типов рассеивания  $E_{ст}$  и  $E_{дин}$  кроется в токах утечки, либо других паразитных токах и является следствием несовершенства технологии. Уменьшить рассеивание данного типа можно за счёт совершенствования технологии производства чипов. Отметим, что данный тип рассеивания тепла происходит всегда, когда ЦУ включено в работу и не зависит от типа выполняемой работы (прилагаемой входной последовательности).

Переключательная активность схемы влияет на динамическое рассеивание  $E_{дин}$  в КМОП чипах и является следствием утечки токов при зарядке/разрядке конденсаторов во время переключения уровней сигналов в транзисторах логических вентилях. Именно переключательная активность определяется тем, какая входная последовательность подаётся на вход ЦУ. Более того, входная последовательность никак не влияет на статическую составляющую рассеивания тепла. Таким образом, можно сделать два вывода:

- проектировщик тестов не влияет на рассеивание тепла  $E_{ст}$  и  $E_{кз}$ , вызванное технологическими особенностями производства чипов;
- входная последовательность определяет только динамическую  $E_{дин}$  составляющую рассеивания тепла.

В качественно спроектированных схемах доминирует динамическое рассеивание тепла  $E_{дин}$ . Причём его доля составляет 70 – 90% от общего энергопотребления чипа. Именно данный тип рассеивания тепла следует оценивать при анализе качества проектирования схем на логическом уровне представления.

Для заданного ЦУ  $A$ , произведенного по КМОП технологии, на вход которого подаётся входная двоичная последовательность, оценка динамической составляющей производится по формуле [16]:

$$E(S) = 0.5V^2 fAct(S), \quad (2)$$

где  $V$  – физическое напряжение работы схемы;  $f$  – частота работы схемы;  $Act(S)$  – переключательная активность схемы, равная числу событий при моделировании поведения ЦУ  $A$  на заданной входной последовательности  $S$ .

Из формулы (2) видно, что вклад физических величин напряжения  $V$  и частоты работы схемы  $f$  в параметр рассеивания тепла будет определяться константой и только параметр  $Act(S)$  зависит от входной последовательности.

Таким образом, оценка рассеивания тепла для заданного ЦУ и входной последовательности с точностью до постоянного множителя

может быть выполнена без привлечения физических величин, т.е. параметров технологического процесса. Для этого достаточно вычислить параметр переключательной активности  $Act(S)$ . Мы в работе не будем учитывать влияние, определяемое физическими параметрами, и без потери общности будем считать, что  $Act(S) = E(S)$ .

Для входного набора  $X_i$  активность схемы описывается выражением

$$Act(X_i) = \sum_g Act_g^i C_g, \quad (3)$$

где  $Act_g^i$  – активность логического вентиля  $g$  при работе на входном наборе с номером  $i$ ;  $C_g$  – ёмкость выхода вентиля  $g$ , которая равна числу его элементов-последователей в схеме. Тогда для всей последовательности данный параметр вычисляется как сумма оценок (3) для каждого входного вектора

$$Act(S) = \sum_{i=1}^l \sum_g Act_g^i C_g, \quad (4)$$

где  $l$  – длина входной последовательности  $S = (X_1, X_2, \dots, X_l)$  (число входных наборов). Активность одиночного логического элемента определяется следующим образом

$$Act_g^i = \begin{cases} 1, & \text{если выход вентиля изменился;} \\ 0, & \text{иначе.} \end{cases} \quad (5)$$

Таким образом, для вычисления переключательной активности заданного ЦУ  $A$  и оценки его динамического рассеивания тепла  $E_{\text{дин}}$  с точностью до физических коэффициентов необходимо выполнить моделирование поведения работы  $A$  на последовательности  $S$  и определить число событий моделирования  $N_{\text{соб}}$ . Данную задачу решает любой событийный алгоритм моделирования ЦУ.

Для оценки рассеивания тепла исправного/неисправного ЦУ применяются соответственно процедуры исправного/неисправного событийного моделирования. Различные алгоритмы моделирования ЦУ будут давать различные оценки параметра рассеивания тепла в соответствии с формулой (4). Наиболее часто для решения данной задачи используются алгоритмы моделирования с номинальными задержками. В данной работе для этих целей адаптированы процедуры алгоритма моделирования [17].

Оценка рассеивания тепла, выполненная выше, позволяет понять влияние входной двоичной последовательности на данный параметр. Однако произвольному фиксированному ЦУ  $A$  присущ ряд некоторых внутренних свойств, касающихся рассеивания тепла, которые не зависят от прилагаемой последовательности, а определяются его внутренней структурой, т.е. применёнными проектировочными решениями. Одно из таких свойств показывает пиковое рассеивание тепла данным ЦУ, которое может быть достигнуто в процессе работы. Причём подразумевается, что данное пиковое значение может быть достигнуто на одном такте работы ЦУ.

Определение. Для заданного ЦУ  $A$  пиковым однотоктным рассеиванием тепла  $E_A^1$  называется максимальное рассеивание тепла, которое может произойти за один такт работы устройства.

Решение задачи оценки  $E_A^1$  является задачей идентификации данного параметра для устройства  $A$ .

Знание такой оценки является существенным при проектировании современных ЦУ. Известно, что задача является NP-полной и попытки решить её традиционными методами "ветвей и границ" или преобразованием булевых выражений приводят к чрезмерным требованиям времени и ресурсов памяти. В данной статье будет показано построение метода решения данной задачи с помощью алгоритма моделирования отжига (МО), который сводится к одноуровневой схеме построения идентифицирующих последовательностей (ИдП) [18].

В последовательностном ЦУ  $A$  переключаемая активность зависит как от начального его состояния  $Z$ , так и от прилагаемого в текущий момент времени входного набора (в отличие от комбинационного ЦУ, в котором такая активность зависит только от входного набора). При этом активность зависит от состояния схемы в большей степени, поскольку число триггеров (элементов состояний) в схеме обычно существенно больше, чем число внешних входов.

Математически такая зависимость выглядит как  $E_A^1(Z, X)$ , где  $Z$  – начальное состояние схемы,  $X$  – текущий входной набор.

Однако такая оценка не может являться приемлемой, поскольку в ней совсем не учитываются значения сигналов на внутренних линиях комбинационного блока (КБ) ЦУ. Для того чтобы учесть данный фактор необходимо сначала произвести их инициализацию. Таким образом, мы приходим к необходимости при оценке рассеивания тепла за один такт учитывать два последовательных входных набора. При этом первый входной набор  $X_1$  необходим для инициализации схемы, а второй набор  $X_2$  для получения переключаемой активности схемы. Учитывая, что

применяется модель синхронных последовательностных ЦУ, это приведёт к использованию двух копий КБ, как это показано на рис. 1. При этом выходные реакции ЦУ нас в данной задаче не интересуют.

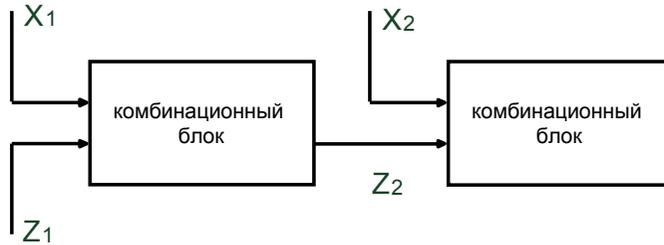


Рис. 1. Двухтактная модель работы последовательностного ЦУ в задаче оценки пикового рассеивания тепла

Поясним работу модели, изображённой на данном рисунке. Первоначально ЦУ находится в полностью неопределённом состоянии, что при моделировании в трёхзначном алфавите  $E_3$  соответствует наличию на всех линиях ЦУ неопределённого значения  $u$ . После записи исходного состояния  $Z_1$  и подачи первого входного набора  $X_1$  выполняется моделирование работы КБ ЦУ. При этом в соответствии с реализованной логикой будут получены выходной набор  $Y_1$  (для оценки рассеивания тепла не учитывается и не приведён на рисунке) и новое состояние ЦУ  $Z_2$ . КБ при этом перейдёт в полностью определённое состояние, т.е. на её линиях будут присутствовать значения 0 и 1 из алфавита моделирования  $E_3$ . Данное утверждение верно только для "правильно" спроектированных ЦУ, в которых отсутствует избыточная логика, и мы рассматриваем только такой случай. На следующем такте времени ЦУ начинает работу из состояния  $Z_1$ , получает на вход набор  $X_2$ , выполняется моделирование КБ и оценка потребляемой энергии по формуле (3). Заметим, что выход  $Y_2$  в оценке также не учитывается. Видно, что оценка потребления энергии происходит только для второго такта времени. Также нет необходимости в параметры работы данной модели включать состояние  $Z_2$ , которое сформируется на триггерах после первого такта времени. Будем называть состояние  $Z_1$  в таком эксперименте предыходным. Ограничением такой модели является то, что она применима к "правильно спроектированным" ЦУ, которые обеспечивают полный контроль элементов состояний, т.е. позволяют записать произвольный двоичный вектор состояния  $Z_1$ .

Таким образом, мы приходим к тому, что для оценки рассеивания тепла за один такт времени, необходимо максимизировать функционал

$$E_A^1(Z_1, X_1, X_2) \rightarrow \max. \quad (6)$$

В общем случае данная задача является задачей идентификации параметра ЦУ, она является NP-полной. Для решения задачи в такой постановке предлагается использовать алгоритм моделирования отжига.

**Построение алгоритма моделирования отжига оценки рассеивания тепла.** Алгоритм моделирования отжига, как и генетический алгоритм, относится к группе эволюционных методов. Основным его отличием от ГА является то, что здесь происходит эволюция одного потенциального решения. Подробно алгоритм МО разработан авторами, например, в [19], поэтому здесь дадим только его краткое описание.

Формально метод МО задаётся как упорядоченная совокупность объектов

$$MO = (K, R, C, T, K_0, N, l), \quad (7)$$

где  $K$  – множество возможных конфигураций (потенциальных решений);  $R: K \rightarrow K$  – операция построения конфигураций в окружении;  $C: K \rightarrow R$  – функция стоимости решения;  $T = \{T_1, T_2, \dots\}$  – расписание температур;  $K_0 \in K$  – начальная конфигурация;  $N(O(K_i)) = |O(K_i)|$  – размер окружения для конфигурации  $K_i \in K$ ;  $l$  – длина кодирования особи в битах.

Цель метода: поиск конфигурации с наивысшей оценкой:  $C \rightarrow \max$ .

Общая схема алгоритма МО приведена на рис. 2.

Поясним этапы работы алгоритма.

1. В начальный момент генерируется случайная конфигурация  $K_0$  и вычисляется её функция стоимости  $C_0 = C(K_0)$ .

Выполняется подготовка к дальнейшим итерациям алгоритма:

– начальная итерация принимается в качестве текущей для последующих итераций алгоритма:  $K_i = K_0, C_i = C_0$ ;

– начальная температура из распределения  $T$  принимается в качестве текущей:  $T_i = T_0$ .

Далее итеративно выполняются следующие шаги.

2. Формируется окружение текущей конфигурации:  $O(K_i)$ .

3. Для всех конфигураций  $K_i' \in O(K_i)$  вычисляется функция оценки и в качестве промежуточной  $K_{\text{пром}}$  выбирается лучшая из них.

4. Если  $C(K_{\text{пром}}) > C(K_i)$ , то промежуточная конфигурация заменяет текущую:  $K_{i+1} = K_{\text{пром}}$ . Переход на шаг 2.

5. Если  $C(K_{\text{пром}}) < C(K_i)$ , то вычисляется разность  $\Delta C = C(K_{\text{пром}}) - C(K_i)$ ; на основании этой разности и текущей температуры вычисляется вероятность  $P(-\Delta C, T_i)$ , с которой конфигурация  $K_{\text{пром}}$  заменит  $K_i$ :  $K_{i+1} = K_{\text{пром}}$  с вероятностью  $P$ .

6. Изменение текущей температуры.

7. Переход к шагу 2.

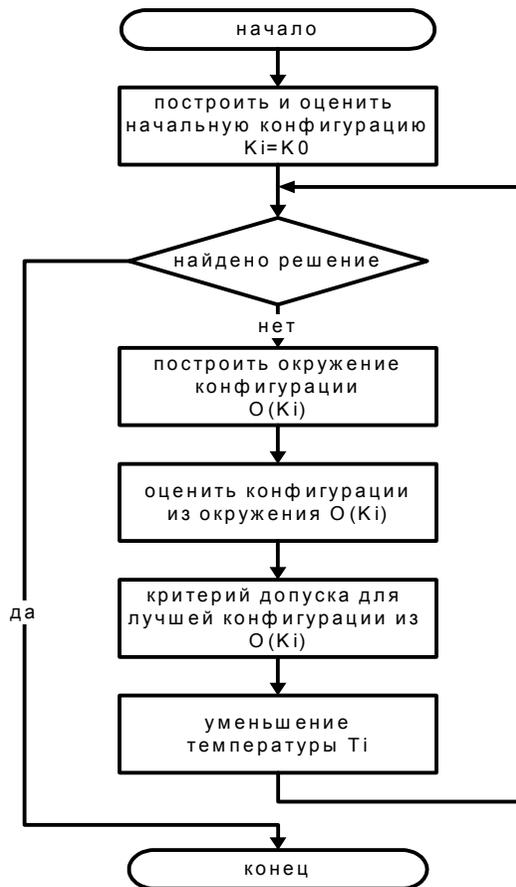


Рис. 2. Блок-схема алгоритма МО

Если в какой-либо момент работы метода найдено решение (это видно по значению функции стоимости), то работа завершается. Вторым формальным критерием останковки является достижение конечной температуры. Часто на практике также применяют ограничение по

времени работы алгоритма. В двух последних случаях решением задачи принимается последняя конфигурация  $K_i$ .

Вероятность принимать отрицательные решения в пункте 5 алгоритма существенно влияет на его работу. Наиболее часто используется распределение Больцмана

$$P = \exp(-\Delta C / kT_i) , \quad (8)$$

где  $k$  – подстроечная константа.

Такой подход позволяет при больших температурах принимать отрицательные изменения в оценке чаще, а также допускает большие такие изменения. При понижении температуры данная вероятность падает.

Приведенное описание метода МО фактически задает шаблон его реализации. В соответствии с разрабатываемой авторами методологии синтеза эволюционных методов [18], построение конкретного метода на основании заданного шаблона выполняется путем задания его компонент. В данном случае они перечислены в формуле (7).

Отметим, что близость подхода к ГА позволяет при конструктивном синтезе методов заимствовать следующие компоненты: кодирование решений-последовательностей, возмущающие операции, вид функций оценки и т.д.

После конструктивного задания метода алгоритмической реализации происходит экспериментальное обоснование эвристических параметров: расписания температур  $\{T_i\}$ , распределения принимать ухудшающие решения, критериев остановки и т.д.

Выполним конструктивное построение метода МО решения заданной задачи (6). В качестве потенциального решения (конфигурации в терминах МО) будем использовать двоичную последовательность. Одна такая последовательность кодирует сразу тройку объектов  $(Z_1, X_1, X_2)$  (рис. 3).

В качестве оценочной функции используется выражение (4). Для получения численного значения выполняется событийное моделирование исправного ЦУ  $A$ , которое начинает работу из состояния  $Z_1$ , а на вход подаются входные наборы  $X_1$  и  $X_2$ . Вычисление данного значения, как отмечено выше, должно производиться только при моделировании второго входного набора  $X_2$ , представленного в закодированной конфигурации.

Для построения новых конфигураций из текущей необходимо построить соответствующую операцию. Поскольку закодированная

конфігурація (рис. 3) представляє собою двоичну строку, то будемо використовувати операції мутації із простого ГА [18].

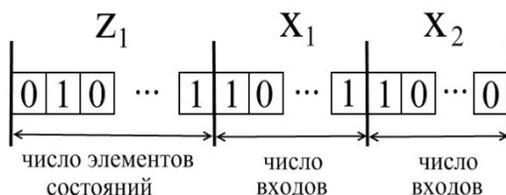


Рис. 3. Кодирование особи в алгоритме оценки пикового рассеивания тепла ЦУ

С описанными выше компонентами метод МО оценки пикового потребления мощности заданным ЦУ строится в соответствии с блок-схемой на рис. 2.

Как и при разработке других эволюционных (и эвристических алгоритмов в целом) важным является этап подбора эвристических констант, что осуществляется на основании предварительных экспериментов.

Результаты машинных экспериментов для метода МО оценки пикового рассеивания тепла приведены в табл. 1. Была проведена серия машинных экспериментов (около 5000), на основании которых выбраны следующие значения эвристических параметров:  $T_0 = 120$  – начальная температура;  $T_{\text{кон}} = 1$  – конечная температура, размер окружения (максимальное число конфигураций) для одной температуры равно 100; 50 – количество итераций без улучшения; константа Больцмана распределения (8) для средних схем:  $k = 0,0001$ , для больших  $k = 0,000001$ .

В качестве апробации эффективности предложенного метода использовались схемы из международного каталога ISCAS-89 [19]. Численные результаты экспериментов приведены в табл. 1. Результаты усреднялись для каждой схемы по 10 экспериментам. Колонка "моделирование отжига" содержит три столбца: "число событий" – параметр рассеивания тепла, который соответствует формуле (4); "вентильная активность" – показывает среднее число переключений вентиля при приложении входного набора  $X_2$ , численно равен отношению параметра "число событий" к числу элементов в схеме; "время работы" – показывает время выполнения соответствующего алгоритма.

Для понимания эффективности ГА в колонке "случайный метод" даны результаты оценки рассеивания тепла при случайной генерации 500 000 раз тройки объектов ( $Z_1, X_1, X_2$ ).

Таблиця 1

Численные результаты экспериментов оценки пикового рассеивания тепла

Схема	Число элементов в схеме	Случайный метод			Моделирование отжига		
		Число событий	Вентиляционная активность	Время, мин:сек	Число событий	Вентиляционная активность	Время, мин:сек
s1196	578	902	1,56	3:18	978	1,69	0:04
s1238	557	880	1,58	3:41	984	1,76	0:03
s1269	637	1831	2,87	2:58	1885	2,96	0:18
s1423	756	1217	1,61	3:07	1228	1,62	0:36
s1488	689	1322	1,92	3:14	1322	1,92	0:02
s1494	683	1322	1,94	3:16	1322	1,94	0:02
s3271	1731	1054	0,61	3:49	1157	0,67	0:21
s3330	2037	2348	1,15	5:18	2471	1,21	0:37
s3384	1940	581	0,30	3:48	615	0,32	0:20
s4863	2514	7918	3,15	6:35	8881	3,53	1:01
s5378	3045	2091	0,69	4:30	2577	0,71	0:31
s6669	3460	1523	0,44	5:25	1572	0,45	0:46
s9234	5869	2534	0,43	6:13	2536	0,43	0:17
s13207	8775	665	0,08	8:58	672	0,08	0:28
s15850	10473	5752	0,55	13:14	5752	0,55	0:27
s35932	18151	44463	2,45	35:22	44463	2,45	4:37
s38417	23952	2794	0,12	20:40	2829	0,12	1:05
s38584	20998	9231	0,44	27:47	9231	0,44	1:48

Численные результаты показывают, что несмотря на достаточно ограниченную глубину поиска, метод МО позволяет найти более высокую оценку пикового значения рассеивания тепла в сравнении с очень глубоким случайным перебором. При этом время работы метода МО существенно меньше (на 1 – 2 порядка). Таким образом, в данной задаче эффективность метода моделирования отжига оказалась существенно выше глубокого случайного поиска.

**Выводы.** В статье предложен новый метод определения пикового рассеивания цифровых последовательных устройств. В отличие от существующих, в качестве основы используется эволюционный алгоритм моделирования отжига. Показано, что задача является задачей идентификации внутреннего параметра устройства и сводится к максимизации функционала переключательной активности.

Выполнена алгоритмическая и программная реализация нового метода. По результатам экспериментов на контрольных схемах из международного каталога показана высокая эффективность метода в сравнении с глубоким псевдослучайным поиском.

В качестве дальнейших исследований можно отметить разработку аналогичных методов для оценки рассеивания тепла для различных режимов работы цифровых устройств.

**Список литературы:** 1. Белоус А.И. Методы минимизации энергопотребления при проектировании КМОП БИС / А.И. Белоус, И.А. Мурашко // Технология и конструирование в электронной аппаратуре. – 2008. – № 2. – С. 39-44. 2. Small C. Shrinking devices put the squeeze system packaging / C. Small // EDN. – 1994. – Vol. 39. – № 4. – P. 41-46. 3. Мурашко И.А. Методы оценки рассеиваемой мощности в цифровых КМОП схемах / И.А. Мурашко // Доклады БГУИР. – 2007. – № 1 (17). – С. 100-108. 4. Piguet C. Low-power CMOS circuits: technology, logic design and CAD tools / C. Piguet. – CRC/Taylor & Francis, 2005. – 440 p. 5. Soudris D. Designing CMOS circuits for low power / D. Soudris, C. Piguet, C. Goutis // Springer, 2002. – 277 p. 6. Integrated circuit and system design: power and timing modeling, optimization and simulation / Editor E. Macii, editor V. Paliouras // Proceedings of 14th International Workshop, PATMOS 2004. – Springer, 2004. – 910 p. 7. Pedram M. Power aware design methodologies / M. Pedram, Jan M. Rabaey. – Springer, 2002. – 521 p. 8. Najm F.N. Power estimation in sequential circuits / F.N. Najm, S. Goel, I.N. Hajj // Proc. Design Automation. – 1995. – P. 635-640. 9. Tsui C. Power estimation methods for sequential logic circuits / C. Tsui, J. Monterio, M. Pedram, A. Despain and B. Lin // IEEE Trans. on VLSI Systems. – 1995. – V. 3. – № 3. – P. 406-416. 10. Corno F. Prediction of Power Requirements for High-Speed Circuits / F. Corno, M. Rebaudengo, M. Sonza Reorda, G. Squillero, M. Violante // EvoTel2000: European Workshops on Telecommunications, Edinburgh (UK), May 2000. – P. 247-254. 11. Devadas S. Estimation of power dissipation in CMOS combinational circuits using Boolean function manipulation / S. Devadas, K. Keutzer, J. White // IEEE Trans. CAD. – 1995. – P. 373-383. 12. Kriplani H. Resolving signal correlations for estimating maximum currents in CMOS combinational circuits / H. Kriplani, F. Najm, P. Yang, I. Hajj // Proc. Design Automation Conf. – 1993. – P. 384-388. 13. Manne S. Computing the maximum power cycles of a sequential circuit / S. Manne, A. Prado, R.I. Bahar // Proc. Design Automation Conf. – 1995. – P. 23-28. 14. Wang C.-Y. Maximum power estimation for sequential circuits using a test generation based technique / C.-Y. Wang, K. Roy, T. L. Chou // Proc. of IEEE Custom Integrated Circuits Conf. – 1996. – P. 229-232. 15. Hsiao M. S. Peak power estimation using genetic spot optimization for large VLSI Circuits / M.S. Hsiao // Design, Automation and Test in Europe Conference. – 1999. – P. 175-179. 16. Shen A. An Average Power Dissipation and Random Pattern Testability of CMOS Combinational Logic Networks / A. Shen, A. Ghosh, S. Devadas, K. Keutzer // Proc. IEEE International Conference on Computer-Aided Design. – 1992. – P. 402-407. 17. Иванов Д.Е. Параллельное моделирование неисправностей для последовательных схем / Д.Е. Иванов, Ю.А. Скобцов // Искусственный интеллект. – 1999. – № 1. – С. 44-50. 18. Иванов Д.Е. Генетические алгоритмы построения входных идентифицирующих последовательностей цифровых устройств / Д.Е. Иванов. – Донецк, 2012. – 240 с. 19. Иванов Д.Е. Алгоритм симуляции отжига оптимизации рассеивания тепла диагностических тестов / Д.Е. Иванов, Р. Зуауи // Радіоелектронні і комп'ютерні системи. – 2010. – № 7 (48). – С. 170-175. 20. Brgles F. Combinational profiles of sequential benchmark circuits / F. Brgles, D. Bryan, K. Kozminski // International symposium of circuits and systems, ISCAS-89. – 1989. – P. 1929-1934.

**References:**

1. Belous, A.I., and Murashko I.A. (2008), "Methods for minimizing energy consumption in the design of CMOS VLSI", *Technology and design in electronic equipment*, No. 2, pp. 39-44.

2. Small, C. (1994), "Shrinking devices put the squeeze system packaging", *EDN*, Vol. 39, No. 4, pp.41–46.
3. Muraschko, I.A. (2007), "Methods for estimating power dissipation in digital CMOS circuits", Reports of BSUIR, No. 1 (17), pp.100–108.
4. Piguet, C. (2005), *Low-power CMOS circuits: technology, logic design and CAD tools*, CRC/Taylor & Francis, 440 p.
5. Soudris, D., Piguet, C., and Goutis, C. (2002), *Designing CMOS circuits for low power*, Springer, 277 p.
6. Macii, E. (editor), and Paliouras, V. (editor) (2004), "Integrated circuit and system design: power and timing modeling, optimization and simulation", *Proceedings of 14th International Workshop, PATMOS*, Springer, 910 p.
7. Pedram, M., and Rabaey Jan, M. (2002), *Power aware design methodologies*, Springer, 2002. – 521 p.
8. Najm, F.N., Goel, S., and Hajj, I.N. (1995), "Power estimation in sequential circuits", *Proc. Design Automation*, pp. 635-640.
9. Tsui, C., Monterio, J., Pedram, M., Despain A., and Lin, B. (1995), "Power estimation methods for sequential logic circuits", *IEEE Trans. on VLSI Systems*, Vol. 3, pp. 406-416.
10. Corno, F., Rebaudengo, M., Sonza-Reorda, M., Squillero, G., and Violante, M. (2000), "Prediction of Power Requirements for High-Speed Circuits", *EvoTel2000: European Workshops on Telecommunications*, Edinburgh (UK), May, pp. 247-254.
11. Devadas, S., Keutzer, K., and White J. (1995), "Estimation of power dissipation in CMOS combinational circuits using Boolean function manipulation", *IEEE Trans. CAD*, pp. 373-383.
12. Kriplani, H., Najm, F., Yang, P., and Hajj, I. (1993), "Resolving signal correlations for estimating maximum currents in CMOS combinational circuits", *Proc. Design Automation Conf.*, pp. 384-388.
13. Manne, S., Prado, A., and Bahar, R.I. (1995), "Computing the maximum power cycles of a sequential circuit", *Proc. Design Automation Conf*, pp. 23-28.
14. Wang, C.-Y., Roy, K., and Chou, T.L. (1999), "Maximum power estimation for sequential circuits using a test generation based technique", *Proc. of IEEE Custom Integrated Circuits Conf.*, pp. 229-232.
15. Hsiao, M.S. (1999), "Peak power estimation using genetic spot optimization for large VLSI Circuits", *Design, Automation and Test in Europe Conference*, pp. 175-179.
16. Shen, A., Ghosh, A., Devadas, and Keutzer, K. (1992), "An Average Power Dissipation and Random Pattern Testability of CMOS Combinational Logic Networks", *Proc. IEEE International Conference on Computer-Aided Design*, pp. 402-407.
17. Ivanov, D.E., and Skobtsov, Yu.A. (1999), "Parallel fault simulation for sequential circuits", *Artificial Intelligence*, No. 1, pp. 44-50.
18. Ivanov, D.E. (2012), *Genetic algorithms for constructing input identifying sequences of digital devices*, Donetsk, 240 p.
19. Ivanov D.E., and Zouioi R. (2010), "Simulated annealing algorithm for heat dissipation optimization of diagnostic tests", *Radioelectronic and computer systems*, No. 7 (48), pp. 170-175.
20. Brgles, F., Bryan, D., and Kozminski, K. (1989), "Combinational profiles of sequential benchmark circuits", *International symposium of circuits and systems, ISCAS-89*, pp. 1929–1934.

*Статью представил д-р физ.-мат. наук, зам. директора по науке  
ІПІММ НАН України, Щербак В.Ф.*

*Поступила (received) 18.04.2017*

Ivanov Dmitry, Dr. Sci.Tech, Ass. Professor  
Institute of Applied Mathematics and Mechanics,  
Gen. Batyuka str., 19, Slavyansk, 84100  
Tel: (063) 559-51-90, e-mail: dmitry.ivanov.iamm@gmail.com  
ORCID ID: 0000-0001-9956-6589

УДК 681.518:681.326.7

**Алгоритм моделювання відпалу оцінки пікового розсіювання тепла цифрових схем / Іванов Д.Є.** // Вісник НТУ "ХПІ". Серія: Інформатика та моделювання. – Харків: НТУ "ХПІ". – 2017. – № 21 (1243). – С. 65 – 80.

Пропонується новий метод оцінки пікового розсіювання тепла цифрових схем. Задачу зведено до задачі ідентифікації параметру цифрового пристрою. Метод відноситься до недетермінованих еволюційних алгоритмів. В якості основи використовується метод симуляції відпалу побудови вхідних ідентифікуючих послідовностей. Виконано алгоритмічну та програмну реалізацію методу. Наведено результати апробації на контрольних схемах з міжнародного каталогу. Іл.: 3. Табл.: 1. Бібліогр.: 20 назв.

**Ключові слова:** цифровий пристрій; еволюційний алгоритм; розсіювання тепла; моделювання відпалу.

УДК 681.518:681.326.7

**Алгоритм моделирования отжига оценки пикового рассеивания тепла цифровых схем / Иванов Д.Е.** // Вестник НТУ "ХПИ". Серія: Інформатика и моделирование. – Харьков: НТУ "ХПИ". – 2017. – № 21 (1243). – С. 65 – 80.

Предлагается новый метод оценки пикового рассеивания тепла цифровых схем. Задача сведена к задаче идентификации параметра цифрового устройства. Метод относится к недетерминированным эволюционным алгоритмам. В качестве основы используется метод симуляции отжига построения входных идентифицирующих последовательностей. Выполнена алгоритмическая и программная реализация. Приведены результаты апробации на контрольных схемах из международного каталога. Ил.: 3. Табл.: 1. Библиогр.: 20 назв.

**Ключевые слова:** цифровое устройство; эволюционный алгоритм; рассеивание тепла; моделирование отжига.

UDC 681.518:681.326.7

**An simulated annealing algorithm for evaluation of maximum heat dissipation of digital circuits / Ivanov D.E.** // Herald of the National Technical University "KhPI". Subject issue: Information Science and Modelling. – Kharkov: NTU "KhPI". – 2017. – №. 21 (1243). – P. 65 – 80.

A new method for estimating of the peak heat dissipation of digital circuit was developed. It is proposed to extend the evolutionary approach of constructing identifying sequences to the identification problems. The task is reduced to the task of identifying of an unknown internal parameter of a digital device. The method refers to nondeterministic evolutionary algorithms. As a basis for constructing of the input identification sequences, an annealing simulation method is used that maximizes the gate activity of the circuit for various input sequence. The application of previously developed heuristics of genetic algorithms is shown: the coding of individuals and populations, the construction of evaluation functions, etc. Algorithmic and software implementation was performed. The results of approbation on the control schemes from the international catalog ISCAS-89 are given. Figs.: 3. Tabl.: 1. Refs.: 20 titles.

**Keywords:** digital circuit; evolutionary algorithms; heat dissipation; simulated annealing; heuristics.